

KR Patent First Publication No.1998-0018045

**TITLE: SIGNAL TRANSMITTING SYSTEM, SEMICONDUCTOR DEVICE MODULE,
INPUT BUFFER CIRCUIT, AND SEMICONDUCTOR DEVICE**

Abstract:

A signal transmitting system comprises a transmitting line to which applied a termination voltage through a termination resistance R_t , two offdrain type transistors outputting a signal to a signal transmitting line, a branch line branched from the signal transmitting line to connect the offdrain type transistors with the signal transmitting line, and a resistance R_s inserted into the branch line positioned close to the signal transmitting line.

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
G06F 13/40(11) 공개번호 특 1998-018045
(43) 공개일자 1998년 06월 05일

(21) 출원번호 특 1997-008660

(22) 출원일자 1997년 03월 14일

(30) 우선권주장 96-228997, 1996년 09월 27일 일본(JP)

(71) 출원인 후지쓰 가부시키가이샤, 세키자와 다다시
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고(72) 발명자 다구치 마사오
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰 가부시키가이샤 나미

(74) 대리인 조태연

심사장구 있음

(54) 신호전송 시스템, 반도체 장치 모듈, 입력 버퍼 회로 및 반도체 장치

요약

신호 전송 시스템은 종단 저항 R_t 를 통해 종단 전압에 접속된 전송 라인(10)과, 신호 전송 라인(10)에 신호를 출력하는 오프드레인형 트랜지스터(31, 31A)와, 오프드레인형 트랜지스터(31, 31A)와 신호 전송 라인(10)을 접속시키기 위해 신호 전송 라인(10)으로부터 분기된 분기 라인(11) 및 신호 전송 라인(10)의 부근에 위치한 분기 라인(11)에 삽입된 저항 R_s 를 포함한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 신호 전송 시스템의 원리를 나타내는 도면.

도 2의 (a) 내지 (d)는 본 발명에 의한 링잉 억제 효과의 효과를 나타내는 계산기 시뮬레이션에 의한 신호 파형도.

도 3은 본 발명에 의한 신호 전송 시스템의 제 1 실시예를 나타내는 도면.

도 4는 본 발명에 의한 신호 전송 시스템의 제 2 실시예를 나타내는 도면.

도 5는 본 발명에 의한 신호 전송 시스템의 제 3 실시예를 나타내는 도면.

도 6은 본 발명에 의한 신호 전송 시스템의 제 4 실시예를 나타내는 도면.

도 7은 본 발명에 의한 반도체 장치 모듈을 나타내는 도면.

도 8은 종래의 GTL 전송 시스템의 구성을 나타내는 도면.

도 9는 종래의 GTL 전송 시스템에 있어서의 링잉 발생을 설명하기 위한 도면.

도 10의 (a) 내지 (d)는 종래의 GTL 전송 시스템에 있어서의 링잉 발생의 상태를 나타내는 계산기 시뮬레이션에 의한 신호 파형도.

도 11은 도 10의 계산기 시뮬레이션 조건을 나타내는 도면.

도 12의 (a) 내지 (d)는 종래의 GTL 전송 시스템에 있어서의 중간 전위 발생의 메커니즘을 설명하기 위한 도면.

도 13은 종래의 GTL 전송 시스템에 있어서의 중간 전위 발생의 상태를 나타내는 계산기 시뮬레이션에 의한 신호 파형도.

도면의주요부분에대한부호의설명

10 : 버스 11 : 스테브
20 : 디바이스 21 : 덤핑 회로
22 : 드라이버 트랜지스터 30 : 디바이스
32 : 출력 버퍼 33 : 입력 버퍼
100 : 컨트롤러 칩 101 : 본딩 와이어
102 : 보드 103 : 리드
104 : 불전극 110 : 패키지
111, 132, 133 : 메모리 칩 112 : 핀
120 : 프린트판 130 : DIMM
131 : 플린트 기판 140 : 전극
141 : 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 일반적으로 버스를 이용한 데이터 전송 시스템에 관한 것으로, 상세하게는 종단(termination)을 갖는 고속 버스 라인을 이용한 데이터 전송 시스템에 관한 것이다.

마이크로 프로세서의 고속화에 따라서, LSI 칩간의 데이터 전송에 있어서도, 보다 높은 주파수를 이용한 보다 고속인 데이터 전송이 요구된다. 그러나 종래의 LSI의 입출력 레벨인 TTL레벨이나 CMOS레벨에 있어서는, 신호 주파수가 50MHz를 초과할 때부터 신호 반사의 영향이나 혼선의 영향이 커져서 정상적인 데이터 전송이 곤란하게 된다.

이것을 해결하기 위해서, 신호 레벨을 1V이하로 억제한 소진폭 신호를 이용한 CTT(Center Tapped Termination)이나 GTL(Gunning Transceiver Logic)등의 입출력 인터페이스가 제안되고 있다.

도 8에 GTL 시스템을 도시한다. 도 8의 GTL 시스템은 특성 임피던스 Z_0 를 갖는 버스(10), 이 버스(10)의 종단을 종단 전압 V_t 에 접속하는 종단 저항 R_t , 버스(10)로부터 분기하는 특성 임피던스 Z_1 의 스테브(라인 분기 부분)(11) 및 스테브(11)의 종단에 접속되는 메모리나 컨트롤러등의 디바이스(20)를 포함한다. 여기서 종단 전압 V_t 는 1.2V이고 종단 저항 R_t 는 50Ω이다.

스테브(11)에 접속된 디바이스(20)의 I/O단자에는, 디바이스(20)의 출력 회로 및 입력 버퍼 회로가 접속된다. 디바이스(20)의 출력 회로는 덤핑 회로(21) 및 드라이버 트랜지스터(22)를 포함한다. 디바이스(20)의 입력 회로는 트랜지스터(23 내지 27)로 이루어지는 커런트미러(current-mirror)형 차동 증폭기와 인버터(28)를 포함한다. 커런트미러형 차동 증폭기는 I/O단자에 입력된 신호 전압을 참조 전압 V_{ref} 와 비교하여, 신호 전압이 참조 전압 V_{ref} 보다도 높은 경우에 로우(low) 전위를 인버터(28)에 공급한다. 반대로, 신호 전압이 참조 전압 V_{ref} 보다도 낮은 경우에 하이(high) 전위를 인버터(28)에 공급한다. 인버터(28)는 입력된 전위를 반전하여, 디바이스(20)의 내부 회로에 공급한다.

GTL의 장점은 몇가지인가 있지만, 제 1 에, 도 8에 표시된 바와 같이 오픈 드레인형의 드라이버 회로(출력 회로)를 이용하기 때문에, 버스상에서 와이어드(wired)-OR의 논리 기능을 제공할 수 있는 점을 들 수 있다. 제 2 에, 버스상의 논리 상태는 하이 혹은 로우 중 어느 하나밖에 존재하지 않기 때문에, 버스를 공유하는 각 드라이버가 모두 오프 상태일 때에는 버스상의 논리 상태는 하이로 고정되는 점을 들 수 있다. 이것에 대하여, CTT등 삼상태형의 버스에 있어서는, 각 드라이버가 모두 오프가 되면 버스상의 논리 상태는 하이와 로우의 중간 레벨이 된다. 따라서, 버스에 접속된 입력 버퍼 회로는 하이와 로우의 판별이 불지 않은 신호를 수취하게 되고, 하이와 로우를 잡음에 따라서 랜덤에 검출하는 불안정 상태가 된다. 이것을 막기 위해서 CTT에 있어서는, 각 드라이버가 모두 오프 상태가 될 때에는 동작을 금지하는 명령을 입력 버퍼 회로에 대하여 입력할 필요가 있다.

GTL의 단점으로서, 스테브(11)가 길게 버스(10)와 드라이버(드라이버 트랜지스터(22))와의 사이에 거리가 있는 경우, 예컨대 신호 주파수가 200MHz이고 스테브(11)의 길이가 2mm 이상인 경우 등, 드라이버가 오프된 후에 심한 링잉(ringing) 파형이 생기는 것을 들 수 있다. 이 현상은 리드 프레임이나 본딩 와이어의 기생 인덕턴스(parasitic inductance)가 존재할 경우에 특히 현저하게 된다.

도 9는 리드 프레임이나 본딩 와이어에 존재하는 기생 인덕턴스 L 및 C를 모식적으로 나타내는 도면이다. 도 9에 있어서, 드라이버

트랜지스터(22)의 온 및 오프를 모델화하는 스위치 S가 온에서 오프로 변화하면, 급격한 전류 차단에 의해 역기전력(counter electromotive)이 생기며, 펄스형의 전압 파형이 스테브(11)를 통해 버스(10)로 향한다. 스테브(11)와 버스(10)와의 사이에는 임피던스 부정합이 존재하기 때문에, 이 펄스형 전압 파형은 스테브(11)와 버스(10)와의 접속점에 있어서 반사되어, 스테브(11)를 되돌려서 드라이버 트랜지스터(22)측에 향한다. 여기서 드라이버 트랜지스터(22)는 오프되어 있기 때문에 개방단이 되고, 펄스형 전압 파형은 완전 반사되어 스테브(11)내로 되돌아간다. 이러한 사이클을 반복하기 위해서, 버스(10)로부터의 스테브(11)의 분기점과 드라이버 트랜지스터(22)와의 사이에서, 심한 링잉 파형이 생기게 된다.

도 10에는 계산기 시뮬레이션에 의해 구해진 링잉 파형을 도시되어 있다. 도 10의 (a)는 스테브의 길이가 제로인 경우, (b)는 스테브의 길이가 1cm의 경우, (c)는 스테브의 길이가 2cm인 경우, (d)는 스테브의 길이가 5cm의 경우를 나타낸다. 또한 시뮬레이션 조건을 도 11에 나타낸다. 드라이버 DV와 8개의 메모리 M1 내지 M8이 쌍방향 데이터 버스에 접속된 조건으로, 드라이버 DV가 메모리 M1에 주파수 100MHz에서 데이터를 기록할 경우를 상정하고 있다.

도 10의 (a) 내지 (d)에 있어서, 실선은 메모리 M1에 데이터를 기록하는 디바이스 DV측의 드라이버단의 파형을 나타내고, 파선은 메모리 M1측의 수신기단의 파형을 나타낸다. 도 10의 (a) 내지 (d)에 도시된 바와 같이, 스테브의 길이가 증대함에 따라서 보다 심한 링잉 파형이 발생하는 것을 알 수 있다.

이것을 막기 위해서는, 턴오프를 완만하게 행하도록 드라이버 트랜지스터(22)를 제어하면 된다. 도 8의 덤핑 회로(21)는 이 목적을 위해서 설치되는 것이고, 이 덤핑 회로(21)에 의해서 드라이버 트랜지스터(22)의 턴오프 시간을 완만히 행하게 된다. 그러나 이러한 덤핑 회로(21)를 이용하면, 디바이스(20)가 동작가능한 최고 주파수가 제한되게 되어 바람직하지 못하다.

이 문제점을 해결하기 위해서는, 스테브(11)의 길이를 극단적으로 짧게 함으로써 턴오프시의 파형을 개선할 수밖에 없다고 생각되어 왔다. 그러나 링잉 파형을 충분히 억제하기 위해서는, 스테브(11)를 배제하여 디바이스(20)를 직접 버스(10)에 접속할 필요가 있다. 예컨대 디바이스(20)가 메모리 IC인 경우, 메모리 IC를 직접 마더보드의 버스 라인에 장착하는 것이 필요하게 된다. 이 경우, 메모리 IC를 모듈 형태로 사용하는 것이 불가능하게 되어 버린다. 즉, 메모리 IC가 직접 버스 라인에 접속되어 있기 때문에, 메모리 IC를 자유롭게 착탈하는 것이 불가능하게 되어, 예컨대 새로운 메모리 IC를 증설하는 것이 불가능하게 된다.

또한 스테브(11)를 배제하여 메모리 IC를 직접 버스(10)에 접속할 경우, 메모리 칩을 소형화 될(축소한다) 수 없는 문제점이 있다. 메모리 제조자는, 메모리 칩을 소형화해감으로써 비용을 절감한다. 그러나 칩을 소형화할 경우, 마더보드의 라인 형상은 변경시키지 않고, 패키지 외부 인출 핀과 패키지 내부의 메모리 칩의 사이를 연결하는 리드 프레임을 길게 할 필요가 있다. 그러나 리드 프레임을 길게 하면 결국 스테브가 생기게 된다. 따라서, 메모리 IC를 버스에 직접 접속할 경우에는 이러한 축소 기술을 사용할 수 없게 된다.

또한 GTL의 다른 단점으로서, 종단 전압이 1.2V로 낮기 때문에, 어떤 선택된 디바이스가 로우 출력하고 있는 상태로부터, 다른 디바이스가 선택되어 이 새롭게 선택된 디바이스가 로우 출력하는 상태로 전환하면, 버스상의 신호 레벨이 하이와 로우와의 중간 레벨로 되는 점을 들 수 있다.

도 12는 버스상에 중간 레벨의 전압이 생성되는 과정을 설명하기 위한 도면이다. 우선 최초의 상태에서는, 도 12의 (a)에 도시된 바와 같이, 버스(10)에 접속된 드라이버 D1 및 드라이버 D2 중에, 드라이버 D1이 선택되어 온 상태(로우 출력 상태)로 되어 있다. 이 상태에서는 버스(10)는 로우 전위(0.4V)로 유지되고 있으며, 수신기 R은 이 로우 전위를 검출한다. 이 때 드라이버 D1에는 32mA의 전류가 흐른다.

다음에, 도 12의 (b)에 도시된 바와 같이, 드라이버 D1을 비선택으로서 오프상태로 하는 동시에, 드라이버 D2를 선택하여 온상태(입 출력 상태)로 한다. 이 상태에서는 드라이버 D1 부근의 버스(10)는 종단 저항 Rt1으로 풀업되어 하이 전위(1.2V)가 되며, 이 하이 전위가 수신기 R에 의해서 검출된다. 그러나 이 상태에서는 드라이버 D1이 오프가 된 정보가 드라이버 D2의 위치까지 전달되지 않는다. 즉, 종단 저항 Rt1으로 풀업된 하이 전위가, 드라이버 D2의 위치에서는 아직 나타나지 않는다. 따라서, 드라이버 D2 부근의 버스(10)는 로우 전위(0.4V)이기 때문에, 드라이버 D2에는 충분한 전류(32mA)가 흐르지 않게 된다. 즉 드라이버 D2 부근에서는 종단 저항 Rt2에서 공급되는 전류가, 드라이버 D2에 흘러 들어가는 동시에, 외관상 아직 온상태인 드라이버 D1의 방향에도 흐르게 된다. 따라서, 드라이버 D1 및 드라이버 D2가 모두 온인 상태와 등가가 되고, 버스(10)의 드라이버 D2 부근의 전위는 0.4V보다 약간 낮은 전위가 된다.

도 12의 (c)의 상태는, 도 12의 (b)에서 약간 시간이 경과한 상태이며, 드라이버 D1이 오프가 되어 종단 저항 Rt1으로 풀업된 하이 전위가, 드라이버 D2의 위치까지 도달한 상태이다. 이 상태에서는 디바이스 D2의 위치에 있어서도 디바이스 D1이 오프상태에 있는 것이 검출되기 때문에, 디바이스 D2에는 충분한 전류(32mA)가 흘러서 완전한 온상태가 된다. 또한 디바이스 D2 부근의 버스(10)의 전위는 로우 전위(0.4V)가 된다. 그러나 이 때 수신기 R에는 디바이스 D2가 완전한 온상태가 된 정보가 아직 도달하지 않는다. 즉, 디바이스 D1이 오프 상태가 된 정보가 디바이스 D2까지 도달하여 되접어 꺾고, 수신기 R로 향하고 있는 상태이다. 즉, 수신기 R이 검출할 수 있는 상태는 드라이버 D1이 오프가 되었지만 드라이버 D2가 중도에 온이 된 상태이다. 이 상태에서는 드라이버 D1 부근의 버스(10)의 전위는 하이 전위와 로우 전위와의 중간 레벨이 된다.

도 12의 (d)는 드라이버 D1이 오프이고 드라이버 D2가 온인 상태가 정상적으로 된 상태를 나타낸다. 이 상태에서는, 드라이버 D2가 완전히 온이 된 정보가 버스(10) 전체로 이동되고, 버스(10)의 전위 및 수신기 R이 검출하는 전위는 로우 전위(0.4V)가 된다.

이와 같이, 버스(10)의 전위는 순간적으로 중간 레벨을 나타내게 된다.

도 13에는 계산기 시뮬레이션에 의해 구해진 중간 레벨의 출현의 상태를 나타낸다. 도 13에 나타내는 파형은 도 12의 수신기 R에 의해서 검출되는 파형이고, 도면 중 화살표에서 나타내는 바와 같이 하이 전위도 로우 전위도 아닌 중간 레벨이 출현하고 있다. 상술의 설명으로부터도 알 수 있는 바와 같이, 수신기 R에 의해서 검출되는 파형이 순간적으로 하이 전위를 나타내는 것은 피할 수 없다. 그러나 하이 전위 뒤에 계속되는 중간 전위에 의해서, 디바이스 D1에서 디바이스 D2로의 전환 속도가 필요 이상으로 제한되게 된다. 즉, 도면 중 T1에서 나타내는 기간은, 버스상의 신호 전압이 올바른 것이 아니기 때문에, 이 T1의 기간 중은, 시스템의 동작을 갖게 할 필요가 생긴다.

이 중간전위의 출현은, 버스(10)의 종단 전압 1.2V를 2.5V정도로 높게함으로써 피할 수 있다. 예컨대 2.5V정도의 종단 전압을 이용하면, 드라이버 D1 및 D2의 트랜지스터의 드레인에는 고전압이 가해지게 되어, 도 12의 (b)의 상태에 있어서 이미 드라이버 D2에는 32mA가 충분한 전류가 흐른다. 따라서, 드라이버 D2는 처음부터 충분한 전류량을 인입하는 완전한 온상태가 되기 때문에, 중간 전위가 버스상에 출현하지 않는다. 이와 같이, 드라이버 트랜지스터가 온상태에 있어서 정전류원이 되는 범위로 시스템을 동작시키면 중간 전위의 출현을 피할 수 있다.

그러나 GTL에 있어서 종단 전압을 예컨대 2.5V로 한 것은 드라이버의 소비 전력이 현저히 증대하게 되어 바람직하지 못하다.

발명이 이루고자하는 기술적 과제

따라서 본 발명은 오픈드레인형의 드라이버 및 종단 저항을 이용한 버스 전송 시스템에 있어서, 드라이버의 턴오프에 따른 링잉을 스타브 길이를 짧게 하는 일없이 억제하는 것을 목적으로 한다.

또한 본 발명은 오픈드레인형의 드라이버 및 종단 저항을 이용한 버스 전송 시스템에 있어서, 종단 전압을 높게 하여 디바이스 전환시의 중간 전위 상태를 없애는 동시에, 디바이스 소비 전력의 증가를 피하는 것을 목적으로 한다.

발명의 구성 및 작용

청구범위 제 1 항 발명에 있어서는, 신호 전송 시스템은 종단 저항을 통해 종단 전위에 접속된 신호 전송 선로와, 해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터와, 해당 오픈드레인형 트랜지스터의 드레인과 해당 신호 전송 선로를 접속하는 해당 신호 전송 선로에서 분기하는 분기 라인과, 해당 신호 전송 선로의 부근에서 해당 분기 라인에 삽입된 저항을 포함하는 것을 특징으로 한다.

청구범위 제 2 항 발명에 있어서는, 청구범위 제 1 항 기재의 신호 전송 시스템에 있어서, 상기 신호 전송 선로는 특성 임피던스 Z_0 를 가지고, 상기 분기 라인은 특성 임피던스 Z_1 을 가지며, 상기 저항은 $(Z_1 - Z_0/2)$ 의 +100%로부터 -50%의 범위의 저항치를 갖는 것을 특징으로 한다.

청구범위 제 3 항 발명에 있어서는, 청구범위 제 1 항 또는 제 2 항 기재의 신호 전송 시스템에 있어서, 상기 종단 저항은 상기 특성 임피던스 Z_0 의 +100%에서 -50%의 범위의 저항치를 갖는 것을 특징으로 한다.

청구항 4의 발명에 있어서는, 청구범위 제 3 항 기재의 신호 전송 시스템에 있어서, 상기 종단 전위는 $2.5V \pm 0.25V$ 인 것을 특징으로 한다.

청구범위 제 5 항 발명에 있어서는, 청구범위 제 3 항 또는 제 4 항 기재의 신호 전송 시스템에 있어서, 상기 저항은 24Ω 에서 51Ω 의 범위의 저항치를 갖는 것을 특징으로 한다.

청구범위 제 6 항 발명에 있어서는, 반도체 장치 모듈은 종단 저항을 통해 종단 전위에 접속된 신호 전송 선로에 접속되는 반도체 장치 모듈로서, 기판과, 해당 기판의 측면에 배치되어 해당 신호 전송 선로에 접속되는 전극과, 해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터를 포함하여 기판상에 탑재되는 반도체 장치와, 해당 반도체 장치의 해당 오픈드레인형 트랜지스터의 드레인과 해당 전극을 접속하는 접속 라인과, 해당 접속 라인에 해당 신호 전송 선로의 부근에서 삽입된 저항을 포함하는 것을 특징으로 한다.

청구범위 제 7 항 발명에 있어서는, 청구범위 제 6 항 기재의 반도체 장치 모듈에 있어서, 상기 신호 전송 선로의 특성 임피던스를 Z_0 로 하고, 상기 접속 라인은 특성 임피던스 Z_1 을 가지며, 상기 저항은 $(Z_1 - Z_0 Z_0/2)$ 의 +100%에서 -50%의 범위의 저항치를 갖는 것을 특징으로 한다.

청구범위 제 8 항 발명에 있어서는, 청구범위 제 7 항 기재의 반도체 장치 모듈에 있어서, 상기 저항은 24Ω 에서 51Ω 의 범위의 저항치를 갖는 것을 특징으로 한다.

청구범위 제 9 항 발명에 있어서는, 신호 전송 시스템은, 종단 저항을 통해 종단 전위에 접속된 버스와, 소정 길이보다 긴 제 1 분기 라인을 통해 해당 버스에 접속되는 제 1 칩과, 소정 길이보다 짧은 제 2 분기 라인을 통해 해당 버스에 접속되는 제 2 칩과, 해당 버스의 부근에서 해당 제 1 분기 라인에 삽입된 저항을 포함하는 것을 특징으로 한다.

청구범위 제 10 항 발명에 있어서는, 청구범위 제 9 항 기재의 신호 전송 시스템에 있어서, 상기 제 1 칩은 PGA 패키지 혹은 BGA 패키지에 격납된 메모리 컨트롤러이고, 상기 제 2 칩은 상기 버스가 라인된 보드에 수직으로 장착되는 메모리 칩인 것을 특징으로 한다.

청구범위 제 11 항 발명에 있어서는, 전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로는, 해당 신호 전압과 참조 기준 전압과의 전압 레벨을 시프트하는 레벨 시프트 회로와, 해당 레벨 시프트 회로의 전압 레벨 시프트 후의 목표 전압을 설정하는 목표 전압 설정 회로와, 해당 레벨 시프트 회로에서 전압 레벨이 시프트된 해당 신호와 해당 참조 기준 전압과의 차를 증폭하는 차동 증폭 회로를 포함하는 것을 특징으로 한다.

청구범위 제 12 항 발명에 있어서는, 전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로는, 해당 신호 전압과 참조 기준 전압과의 전압차를 검출하는 차동 증폭 회로와, 해당 차동 증폭 회로에 흐르는 해당 전압차에 대응한 전류를 수취하여, 해당 전류를 전압으로 변환하는 전류 전압 변환 회로를 포함하는 것을 특징으로 한다.

청구범위 제 13 항 발명에 있어서는, 청구범위 제 12 항 기재의 입력 버퍼 회로에 있어서, 상기 차동 증폭 회로에 흐르는 상기 전류를 복제하여 상기 전류 전압 변환 회로에 제공하는 커런트미러 회로를 또 포함하는 것을 특징으로 한다.

청구범위 제 14 항 발명에 있어서는, 전원 전압과 그라운드 전위와의 사이에서 소정의 비율 이상으로 해당 그라운드 전위에 가까운 전압에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로는, 해당 신호 전압과 참조 기준 전압과의 전압차를 검출하는 차동 증폭 회로와, 해당 차동 증폭 회로에 흐르는 해당 전압차에 대응한 전류를 수취하여, 해당 전류를 전압으로 변환하는 전류 전압 변환 회로를 포함하는 것을 특징으로 한다.

청구범위 제 15 항 발명에 있어서는, 청구범위 제 14 항 기재의 입력 버퍼에 있어서, 상기 차동 증폭 회로에 흐르는 상기 전류를 복제하여 상기 전류 전압 변환 회로에 제공하는 커런트미러 회로를 또한 포함하는 것을 특징으로 한다.

청구범위 제 16 항 발명에 있어서는, 종단 저항을 통해 종단 전위에 접속된 신호 전송 선로에 접속되는 반도체 장치는, 해당 신호 전송 선로에 접속되는 전극과, 해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터와, 해당 오픈드레인형 트랜지스터의 드레인과 해당 전극을 접속하는 접속 라인과, 해당 접속 라인에 해당 신호 전송 선로의 부근에서 삽입된 저항을 포함하는 것을 특징으로 한다.

청구범위 제 17 항 발명에 있어서는, 청구범위 제 16 항 기재의 반도체 장치에 있어서, 상기 신호 전송 선로의 특성 임피던스를 Z_0 로 하여, 상기 접속 라인은 특성 임피던스 Z_1 를 가지며, 상기 저항은 $(Z_1 - Z_0/2)$ 의 $+100\%$ 에서 50% 의 범위의 저항치를 갖는 것을 특징으로 한다.

상기 청구범위 제 1 항 내지 3 항, 5 항 내지 10 항, 16 항 및 17 항의 발명에 있어서는, 버스로부터 분기하는 라인에 저항을 직렬로 삽입하여 분기 라인과 버스와의 사이의 임피던스 정합을 취함으로써, 분기 라인과 버스와의 사이의 분기점에서의 신호 반사를 억제할 수 있다. 따라서 드라이버의 턴오프에 따른 심한 링잉 파형의 발생을 억제할 수 있기 때문에, 고속이고 안정된 신호 전송을 행할 수 있다. 또한 직렬 저항 삽입에 의해 드라이버 트랜지스터에 있어서의 전력 소비를 삭감할 수 있다.

상기 청구범위 제 4 항 발명에 있어서는, 종단 전압으로서 약 2.5V의 전압을 이용함으로써, 오픈드레인형의 드라이버 트랜지스터 및 종단 저항을 이용한 신호 전송 시스템에 있어서, 디바이스 전환시의 중간 전위 상태를 없앨 수 있다. 또한 직렬 저항 삽입에 의해, 드라이버 트랜지스터에 있어서의 전력 소비를 삭감할 수 있다.

상기 청구범위 제 11 항 내지 13 항의 발명에 있어서는, 전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서, 레벨시프트 혹은 전류 전압 변환을 행함으로써, 신호 전압과 참조 기준 전압과의 대소 관계에 따라서 신호 전압을 하이레벨 혹은 로우 레벨의 신호로서 검출할 수 있다.

상기 청구범위 제 14 항 및 15 항의 발명에 있어서는, 그라운드 전위의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서, 레벨시프트 혹은 전류 전압 변환을 행함으로써, 신호 전압과 참조 기준 전압과의 대소 관계에 따라서 신호 전압을 하이레벨 혹은 로우레벨의 신호로서 검출할 수 있다.

이하에 본 발명의 원리와 실시예를 첨부도의 도면을 이용하여 설명한다.

도 1에 본 발명의 원리에 의한 버스 전송 시스템을 도시한다. 도 1의 버스전송 시스템은 버스(10)와 스테브(11)와의 사이에 직렬로 삽입된 직렬 저항 R_s 를 포함한다. 또한 버스(10)에 접속된 디바이스(30)는 스테브(11)에 드레인이 접속된 오픈드레인형의 드라이버 트랜지스터(31)와, 출력 버퍼(32)와, 입력 버퍼(33)를 포함한다.

직렬 저항 R_s 는, 스테브(11)로부터 버스(10)의 방향을 예상한 경우의 특성 임피던스가, 스테브(11)의 특성 임피던스와 정합하도록 설정된다. 여기서 스테브(11)의 특성 임피던스는 Z_1 이고, 스테브(11)에서 버스(10)의 방향을 예상한 경우의 특성 임피던스는 직렬 저항 R_s 와 양방향에 연재하는 버스(10)의 특성 임피던스의 합이다. 또한 버스(10)의 특성 임피던스는 Z_0 이기 때문에, 양방향에 연재하는 버스(10)의 특성 임피던스는 $Z_0/2$ 가 된다. 따라서, 직렬 저항의 값은 $R_s = Z_1 - Z_0/2$ 로 설정된다. 이러한 직렬 저항 R_s 를 삽입함으로써, 디바이스단에서 반사한 신호가 버스(10)로 향할 때에, 스테브 부분(11)과 그 앞과로 임피던스의 정합을 취하고 있기 때문에 반사

가 일어나지 않는다. 따라서, 도 10에 나타난 바와 같이 링잉 파형이 발생하지 않게 된다. 또 링잉의 발생을 억제하기 위해서는, 버스(10)로부터 분기 라인(스터브(11))에 분기하는 분기점이 되도록 가까운 위치에 직렬 저항 R_s 를 삽입하는 것이 바람직하다.

또한 이 직렬 저항 R_s 를 삽입함으로써, 종단 전압 V_{tt} 에 GTL의 1.2V보다 높은 전압을 이용한 경우에서도, 드라이버 트랜지스터(31)에 걸리는 전압을 억제할 수 있다. 따라서, 드라이버 트랜지스터(31)에 있어서 소비되는 전력을 GTL인 경우정도로 억제하는 것이 가능해진다. 이와 같이 드라이버 트랜지스터(31)의 소비 전력을 억제하는 것은 디바이스(30)를 탑재한 칩의 방열을 고려한 경우에 바람직하다.

일반적으로, 버스(10)의 특성 임피던스 Z_0 를 약 50Ω , 스텐브(11)의 특성 임피던스 Z_1 를 약 50Ω 으로 하고, 직렬 저항 R_s 의 값은 약 25Ω 이 바람직하다. 실제로는 직렬 저항 R_s 의 값이 $(Z_1 - Z_0/2)$ 의 값에 대하여 -50%에서 +100%의 범위로 설정되어 있으면, 양호하게 링잉을 억제할 수 있다. 또한 종단 저항 R_t 로서 특성 임피던스 Z_0 에 대하여 -50%에서 +100%의 범위의 저항치의 것을 이용하며, 또 종단 저항 V_{tt} 로서 $2.5V \pm 0.25V$ 를 이용한 경우, 직렬 저항 R_s 의 값은 24Ω 에서 51Ω 인 것이 정합 조건 및 버스 구동력의 시점에서 적절하다. 또 이 직렬 저항 R_s 의 값은 버스 전송 파형의 질에 관하여 그만큼 엄격한 것은 아니다.

도 2는, 도 3과 동등한 조건으로 직렬 저항 R_s 를 삽입한 경우의 신호 파형 시뮬레이션의 결과를 나타낸다. 단지, 종단 전압 V_{tt} 는 $2.5V$, 직렬 저항 R_s 는 25Ω 을 상정하고 있다.

도 2의 (a)는 스텐브의 길이가 제로인 경우, (b)는 스텐브의 길이가 1cm인 경우, (c)는 스텐브의 길이가 2cm인 경우, (d)는 스텐브의 길이가 5cm인 경우를 나타낸다. 실선은 메모리에 데이터를 기록하는 디바이스 DV측의 드라이버단의 파형을 나타내고, 파선은 메모리측의 수신기단의 파형을 나타낸다. 도 10에 나타내는 GTL의 경우와 다르고, 직렬 저항 R_s 를 삽입함으로써 링잉의 발생이 억제되고 있는 것을 알 수 있다. 또한 도 2의 (d)에 도시된 바와 같이, 스텐브가 5cm라는 길이만으로도 시스템은 동작가능하다.

도 2에 도시된 바와 같이, 직렬 저항 R_s 를 삽입한 경우만으로도, 드라이버 트랜지스터의 턴오프에 따른 로우 전위에서 하이 전위로 이행할 때에, 드라이버측에서 오버슈트가 관측된다. GTL에 있어서는 도 1의 덤핑 회로(21)를 이용하여, 동작속도를 희생하여 이 오버슈트의 발생을 억제하고 있었다. 그러나 본 발명과 같이 직렬 저항 R_s 를 삽입한 경우에는 링잉 발생의 염려가 없기 때문에, 오버슈트를 억제할 필요가 없다. 오히려 오버슈트가 발생한 쪽이 결과적으로 입력 신호의 천이를 고속화하여 스위칭 속도를 빠르게 하는 효과가 있어 바람직하다. 바꿔 말하면, 드라이버에 직렬로 약간의 인덕턴스 성분이 있는 쪽이 스위치 오프시의 드라이버단 과도 전압이 높아지기 때문에 수신파형은 고속화한다.

여기까지의 설명에 있어서, 종단 전압 V_{tt} 를 높게 한 경우의 예로서 $2.5V$ 라는 전압치를 이용하였다. 실제, 이 $2.5V$ 라는 전압치는 종단 전압 V_{tt} 로서 적절한 값이고, 이 값의 합리성에 관해서 이하에 설명한다.

우선 입력 수신기 회로(도 1의 입력 회로 33)의 감도를 제약 요인으로서 생각한다. 입력 신호의 진폭이 큰 쪽이 입력 수신기 회로가 고속으로 동작하는 것을 고려하면, 현실적으로는 입력 신호는 중심 전압에 대하여 $\pm 0.2V$ 정도의 진폭을 가질 필요가 있다.

이 입력 진폭의 조건을 확실히 실현하기 위해서는, 버스(10)(도 1)에 있어서, 출력 신호는 $\pm 0.4V$ 정도의 진폭(peak-to-peak로 $0.8V$ 정도의 진폭)을 가질 필요가 있다. 출력 신호의 하이레벨은 종단 전압 V_{tt} 와 같기 때문에, 로우레벨은 $(V_{tt} - 0.8V)$ 로 동일하게 된다. 즉, 드라이버 트랜지스터(31)(도 1)가 온인 경우에는 버스(10)의 전위가 $(V_{tt} - 0.8V)$ 가 되고, 드라이버 트랜지스터(31)가 오프인 경우에는 버스(10)의 전위가 V_{tt} 가 된다. 이와 같이 드라이버 트랜지스터(31)의 온/오프전환으로 $0.8V$ 의 진폭을 실현하기 위해서는 종단 저항 R_t 를 50Ω 로 하고, 드라이버 트랜지스터(31)에는 $32mA (=0.8V/(50/2\Omega))$ 의 구동 전류가 필요하게 된다.

드라이버 트랜지스터(31)가 온일 때, 버스(10)의 전위는 $(V_{tt} - 0.8V)$ 이고, 또한 직렬 저항 $R_s(25\Omega)$ 에서의 전압 강하는 $0.8V (=32mA \times 25\Omega)$ 이다. 따라서, 드라이버 트랜지스터(31)의 드레인 전압은 $(V_{tt} - 1.6V)$ 가 된다. 반대로 말하면, 종단 전압 V_{tt} 는 드레인 전압보다도 $1.6V$ 정도 높은 전압일 필요가 있다.

또한 드라이버 트랜지스터(31)가 충분한 구동력을 갖기 위해서는, 이 드레인전압은 약 $0.4V$ 에서 $0.9V$ 의 범위에 있는 것이 필요하게 된다. 종단 전압 V_{tt} 는 드레인 전압보다도 $1.6V$ 높을 필요가 있기 때문에, 결국, 종단 전압 V_{tt} 의 적절한 범위는 약 $2V$ 에서 $2.5V$ 가 된다.

실제로는, 트랜지스터의 드레인 전압은 $0.4V$ 보다도 $0.9V$ 에 가까운 쪽이 바람직하다. 그 이유로서는 제 1에, $0.9V$ 에 가까운 드레인 전압을 이용한 쪽이 트랜지스터의 구동력을 보다 크게 할 수 있기 때문에, 소형의 트랜지스터를 이용하여도 원하는 범위내의 구동력을 취득할 수 있는 것을 들 수 있다. 제 2에, 버스에 접속된 2개의 드라이버 트랜지스터가 동시에 온한 경우(과도적으로 출력하는 디바이스의 전환 과정에서 생긴다), 보다 높은 드레인 전압을 이용하는 쪽이, 2개의 드라이버 트랜지스터에 병렬로 전류를 공급하기 쉬운 것을 들 수 있다.

따라서, 바람직한 종단 전압 V_{tt} 의 값은 $2.5V$ 가 된다. 이 이상의 전압을 이용하면, 성능은 더욱 향상하지만, 동시에 소비 전력이 증대하기 때문에 바람직하지 못하다. 따라서 실제로는 종단 저항 V_{tt} 로서는 $2.5V \pm 0.25V$ 정도가 바람직하다.

한편, 소비 전력을 억제하고 싶다는 요구가 강한 경우는, 다소의 응답 특성의 악화를 허용하여 V_{tt} 의 값은 $2.0V \pm 0.2V$ 정도가 바람직하다. 단지, 이것 이하의 종단 전압에서는, 출력에 직렬 저항을 넣고 있는 관계상 충분한 구동력이 취득되지 않기 때문에 바람직하지 못하다.

단지 본 발명에 있어서, 종단 전압 V_t 는 2.5V로 한정되는 것이 아니다. 후술의 실시예에 도시된 바와 같이, 예컨대, 전압의 고저 관계를 역전하여 종단 전압 V_t 를 그랜드 전위로서도 좋다.

도 3은, 본 발명에 의한 버스 전송 시스템의 제 1 실시예를 나타낸다. 도 3에 있어서 도 1과 동일한 구성 요소는 동일한 번호로 참조되어 그 설명은 생략된다.

도 3에 있어서, 출력 버퍼(32)는 PMOS 트랜지스터(41)와 NMOS 트랜지스터(42)를 포함한다. PMOS 트랜지스터(41)와 NMOS 트랜지스터(42)는 인버터 회로를 구성하여, 출력 신호를 반전하도록 동작한다. 즉, 출력 신호가 하이일 때에는 로우를 드라이버 트랜지스터(31)의 게이트에 공급하고, 드라이버 트랜지스터(31)를 오프로 한다. 반대로 출력 신호가 로우일 때에는 하이로 드라이버 트랜지스터(31)의 게이트에 공급하여 드라이버 트랜지스터(31)를 온으로 한다.

입력 버퍼(33)는 NMOS 트랜지스터(51 내지 54), PMOS 트랜지스터(55 및 56), NMOS 트랜지스터(57 내지 61), 차동 증폭기(62), 저항 R_1 및 R_2 , PMOS 트랜지스터(71) 및 NMOS 트랜지스터(72)를 포함한다. 여기서 NMOS 트랜지스터(51 내지 54)는 레벨 시프터 회로를 구성하고, PMOS 트랜지스터(55 및 56)와 NMOS 트랜지스터(57 내지 59)는 차동 증폭기를 구성한다. 또한 NMOS 트랜지스터(60 및 61)와, 차동 증폭기(62)와, 저항 R_1 및 R_2 와는 레벨 자동 조절기를 구성한다. 이 레벨 자동 조절기는 레벨 시프터 회로의 레벨 시프트의 크기를 자동적으로 조정한다. 또한 PMOS 트랜지스터(71) 및 NMOS 트랜지스터(72)는 인버터를 구성한다.

이와 같이 입력 버퍼(33)가 레벨 시프트 기능을 필요로 하는 이유는, 입력 버퍼(33)의 전원 전압 2.5V에 대하여, 입력 신호가 2.2V를 중심으로 하는 좁은 범위에서 변동하기 때문이다. 이와 같이 전원 전압에 가까운 범위에서 신호가 변동하는 입력 신호가 부여된 경우, 통상의 차동 증폭기를 이용한 입력 버퍼(예컨대 도 1의 입력 버퍼 회로)에 의해서 하이/로우 판정을 행할 수 없다. 그래서 도 3의 입력 버퍼 회로(33)에 있어서는, 레벨 시프터 회로에 의해서 일단 입력 신호 전압과 참조 기준 전압을 레벨다운하여, 레벨다운된 전압에 대하여 차동 증폭기를 이용하여 하이/로우 판정을 행한다.

NMOS 트랜지스터(51 내지 54)로 이루어지는 레벨 시프터 회로에 있어서, NMOS 트랜지스터(53 및 54)는 조정용 전압 V_{adj} 에 의해서 적절한 전류량으로 조정된 정전류원으로서 동작한다. 따라서, 정전류가 NMOS 트랜지스터(51 및 53)로 흘러서, 그것과 동일한 정전류가 NMOS 트랜지스터(52 및 54)로 흐르게 된다. 이 상태에서, NMOS 트랜지스터(51)의 게이트 입력인 입력 신호 전압과 NMOS 트랜지스터(52)의 게이트 입력인 참조 기준 전압 V_{ref} 는 각각, NMOS 트랜지스터의 임계치 전압만큼만 전압 시프트되어, 노드 A 및 B에 나타난다. 이 노드 A 및 B에 나타난 레벨시프트된 전압이 하단의 차동 증폭기에 공급된다.

여기서 조정용 전압 V_{adj} 는, NMOS 트랜지스터(60 및 61)와, 차동 증폭기(62)와, 저항 R_1 및 R_2 로 이루어지는 레벨 자동 조절기에 의해서 생성된다. 우선 저항 R_1 및 R_2 가 분압기를 구성하여, 레벨 시프트의 목표 전압을 생성한다. 예컨대, 상술의 레벨 시프트 회로에 의해서 참조 기준 전압 V_{ref} (2.2V)를 1.3V로 레벨 시프트하고 싶은 것이라면, 분압기에 의해서 1.3V의 전압을 생성한다. NMOS 트랜지스터(60 및 61)는 레벨 시프터 회로의 NMOS 트랜지스터(52 및 54)와 동일한 회로(복제 회로)를 구성한다. 차동 증폭기(62)에는 NMOS 트랜지스터(60 및 61)간의 노드 C에 나타나는 전압과, 분압기가 생성한 목표 전압을 입력한다. 차동 증폭기(62)는 양전압의 차를 증폭하여, 조정용 전압 V_{adj} 로서 출력한다. 조정용 전압 V_{adj} 는, NMOS 트랜지스터(61)의 게이트에 입력된다. 이 피드백에 의해서 노드 C에 나타나는 전압과 목표 전압이 동일하게 되도록 제어된다.

즉, 복제 회로의 NMOS 트랜지스터(61)의 게이트에 입력되어 있는 조정용 전압 V_{adj} 는, 복제 회로의 노드 C의 전압을 목표 전압에 일치시키는 전압으로 되어 있다. 이 조정용 전압 V_{adj} 가 레벨 시프터 회로의 NMOS 트랜지스터(53 및 54)에 게이트 입력으로서 공급되기 때문에, 목표 전압과 같은 시프트다운 전압이 노드 B에 나타나게 된다.

PMOS 트랜지스터(55 및 56)와 NMOS 트랜지스터(57 내지 59)로 이루어지는 차동 증폭기는, 시프트다운된 입력 신호 전압과 참조 기준 전압 V_{ref} 를 비교하여, 출력을 PMOS 트랜지스터(71) 및 NMOS 트랜지스터(72)로 이루어지는 인버터에 공급한다. 인버터는 공급된 신호를 반전하여 입력 신호로서 내부 회로에 공급한다.

이와 같이 제 1 실시예에 있어서는, 레벨 시프터 회로에 의해서 입력 신호 전압과 참조 기준 전압을 레벨시프트시키고, 레벨 시프트된 전압끼리를 차동 증폭기로 비교함으로써 입력 신호의 하이/로우 판정을 행한다. 이 때, 레벨 시프트 회로의 복제 회로가 레벨 시프트의 목표 전압과 같은 전압을 생성하도록 피드백 제어를 행함으로써, 레벨 시프트 회로의 시프트다운 전압을 목표 전압에 설정한다.

도 4는 본 발명에 의한 버스 전송 시스템의 제 2 실시예를 나타낸다. 도 4에 있어서 도 3과 동일한 구성 요소는 동일한 번호로 참조되어 그 설명은 생략된다.

도 4의 입력 버퍼(33A)는 NMOS 트랜지스터(81 내지 83), PMOS 트랜지스터(84 내지 87), NMOS 트랜지스터(88 내지 90) 및 PMOS 트랜지스터(91)를 포함한다. 여기서 NMOS 트랜지스터(81 내지 83)가 차동 증폭기로서 동작한다. PMOS 트랜지스터(84 및 85)와 PMOS 트랜지스터(86 및 87)는 각각의 쌍이 커런트미러 회로로서 동작한다. 또한 PMOS 트랜지스터(84 및 87)와 NMOS 트랜지스터(88 및 89)는 전류를 전압으로 변환하는 회로로서 동작한다. NMOS 트랜지스터(90)와 PMOS 트랜지스터(91)는 인버터를 구성한다.

NMOS 트랜지스터(81)의 게이트에 입력된 입력 신호 전압은, NMOS 트랜지스터(82)의 게이트 입력인 참조 기준 전압 V_{ref} 와 비교된다. 즉, 비전압의 차에 따라서, NMOS 트랜지스터(81 및 82)의 드레인 사이에는 전압차가 나타난다. 그러나 전술한 바와 같이, 입력 신호는 전원 전압에 가까운 전압을 중심으로 하여 변동하는 신호이기 때문에, NMOS 트랜지스터(81 및 82)의 드레인에 나타나는 전

압은 충분한 전압 진폭을 가지지 않는다. 즉 NMOS 트랜지스터(81 및 82)의 게이트 전압이 높기때문에, 드레인 전압은 높은 전압으로 소진폭의 변동을 가지는 것이 된다. 따라서, 이 드레인 전압을 신호로서 내부 회로에 공급할 수 없다.

여기서 NMOS 트랜지스터(81 및 82)의 드레인 전압은 소진폭이 되지만, 각 트랜지스터를 흐르는 전류는 충분한 진폭으로 변동하는 것으로 되어 있다. 그래서 제 2 실시예에 있어서는, NMOS 트랜지스터(81 및 82)의 소진폭의 드레인 전압이 아니고, 드레인 전류를 커런트미러 회로를 통해 전류 전압 변환 회로에 공급하여, 이 전류 전압 변환 회로로 전류 변동을 대진폭의 전압 변동으로 변환하도록 한다.

도 4에 도시된 바와 같이, NMOS 트랜지스터(81)의 드레인은 PMOS 트랜지스터(84 및 85)로 이루어지는 커런트미러 회로의 전류 입력(게이트 입력)에 접속되고, NMOS 트랜지스터(82)의 드레인은 PMOS 트랜지스터(86 및 87)로 이루어지는 커런트미러 회로의 전류 입력(게이트 입력)에 접속된다. 따라서, PMOS 트랜지스터(84)에는 PMOS 트랜지스터(85)와 동일한 전류가 흐르고, PMOS 트랜지스터(87)에는 PMOS 트랜지스터(86)와 동일한 전류가 흐른다. PMOS 트랜지스터(84 및 87)와 NMOS 트랜지스터(88 및 89)로 이루어지는 전류 전압 변환 회로는, PMOS 트랜지스터(84)에 흐르는 전류와 PMOS 트랜지스터(87)에 흐르는 전류와의 차에 따른 전압을 노드 D에 생성한다. 즉 노드 D에는 입력 신호 전압과 참조 기준 전압 V_{ref} 와의 차에 따른 전압이 나타난다. 여기서 PMOS 트랜지스터(84 및 87)와 NMOS 트랜지스터(88 및 89)의 드레인 전압은 충분히 큰 변동이 가능한 만큼의 여유를 가진다. 따라서, 노드 D에 나타나는 전압은, 입력 신호 전압과 참조 기준 전압 V_{ref} 와의 대소 관계에 따라서, 하이레벨 또는 로우레벨이 된다.

이 노드 D에 나타나는 전압은, NMOS 트랜지스터(90) 및 PMOS 트랜지스터(91)로 이루어지는 인버터에 의해서 반전되어, 반전된 전압이 내부 회로에 공급된다.

이와 같이 제 2 실시예에 있어서는, 입력 신호가 전원 전압에 가까운 전압을 중심으로 하여 변동하는 신호인 경우에, 차동 증폭기에 의해서 검출된 입력 신호 전압과 참조 기준 전압과의 차에 대응하는 충분한 진폭을 갖는 전류를 커런트미러회로를 통해 전류 전압 변환 회로에 공급하여, 충분한 진폭을 가진 전압으로 변환한다. 이것에 의해서 입력 신호 전압과 참조 기준 전압과의 차를 증폭한 전압 신호가 취득되게 되어, 입력 신호 전압과 참조 기준 전압과의 대소관계에 따른 하이 또는 로우의 신호를 공급할 수 있다.

도 5는, 본 발명에 의한 버스 전송 시스템의 제 3 실시예를 도시한다. 도 5에 있어서 도 4와 동일한 구성 요소는 동일한 번호로 참조되어 그 설명은 생략된다.

본 발명에 의한 버스 전송 시스템의 제 3 실시예는, 도 4의 제 2 실시예와 전압의 고저 관계를 역전한 것으로 되어 있다. 즉, 도 5의 버스 전송 시스템에 있어서는, 버스(10)의 종단은 50Ω 의 종단 저항 R_t 를 통해 접지에 접속함으로써 행하고 있다. 또한 드라이버 트랜지스터(31A)는 PMOS 트랜지스터로 변경되어 있다. 이러한 구성으로 한 경우에서도 직렬 저항 R_s 삽입에 의한 링잉 억제 및 소비 전력 억제의 효과가, 전술의 실시예와 같이 취득되는 것은 분명하다. 이와 같게 종단을 접지에 의해서 실현하면, 전원 전압이 장래 변경되더라도 시스템의 설계를 변경할 필요가 없다는 점에서 유리하다.

도 5의 입력 버퍼(33B)는 PMOS 트랜지스터(81A 내지 83A), NMOS 트랜지스터(84A 내지 87A), PMOS 트랜지스터(88A 내지 90A) 및 NMOS 트랜지스터(91A)를 포함한다. 여기서 PMOS 트랜지스터(81A 내지 83A)가 차동 증폭기로서 동작한다. NMOS 트랜지스터(84A 및 85A)와 NMOS 트랜지스터(86A 및 87A)는 각각의 쌍이 커런트미러 회로로서 동작한다. 또한 NMOS 트랜지스터(84A 및 87A)와 PMOS 트랜지스터(88A 및 89A)는 전류를 전압으로 변환하는 회로로서 동작한다. PMOS 트랜지스터(90A)와 NMOS 트랜지스터(91A)는 인버터를 구성한다.

도 5의 입력 버퍼(33B)의 동작은 도 4의 입력 버퍼(33A)의 동작과 동일하기 때문에 그 설명을 생략한다. 또 이 경우, 입력 신호가 접지 전위에 가까운 전압(0.3V)를 중심으로 하여 변동하는 신호이기 때문에, 입력 버퍼(33B)에 공급되는 참조 기준 전압 V_{ref} 는 0.3V가 된다.

이와 같이 제 3 실시예에 있어서는, 버스의 종단이 접지에 의해서 제공되어 입력 신호가 접지 전위에 가까운 전압을 중심으로 하여 변동하는 신호인 경우에, 차동 증폭기에 의해서 검출된 입력 신호 전압과 참조 기준 전압과의 차에 대응하는 충분한 진폭을 갖는 전류를, 커런트미러 회로를 통해 전류 전압 변환 회로에 공급하여, 충분한 진폭을 갖는 전압으로 변환한다. 이것에 의해서 입력 신호전압과 참조 기준 전압과의 차를 증폭한 전압 신호가 취득되게 되어, 입력 신호 전압과 참조 기준 전압과의 대소 관계에 따른 하이 또는 로우의 신호를 공급할 수 있다.

본 발명에 의한 버스 전송 시스템을 실현하는데 있어서, 직렬 저항 R_s 를 반드시 모든 디바이스의 드라이버단에 삽입할 필요는 없다. 디바이스에 의해서는 긴 스텔브 길이가 피할 수 없는 것도 있으면, 비교적 짧은 스텔브 길이를 실현할 수 있는 것도 있다. 따라서, 긴 스텔브 길이를 갖는 디바이스에 직렬 저항 R_s 를 삽입하면, 비교적 짧은 스텔브 길이를 갖는 디바이스에는 직렬 저항 R_s 를 삽입하지 않더라도, 안정한 시스템 동작을 실현하는 것이 가능하다.

예컨대, BGA(Ball Grid Array) 패키지나 PGA(Pin Grid Array) 패키지에 있어서는, 반도체 칩의 주변부에 배치된 I/O 회로에서 출력 전극(볼 혹은 핀)까지를 긴 리드선으로 연결할 필요가 있다. 따라서, 스텔브 길이는 필연적으로 꽤 긴 것이 되기 때문에, 직렬 저항 R_s 를 삽입하는 것이 링잉을 억제하는데 있어서 바람직하다. 그것에 대하여 예컨대, 메모리 칩의 패키지 등에서 수직으로 세워져 보드에 장착하는 형상의 것에서는, 스텔브 길이를 꽤 짧게 할 수 있다. 따라서, 수직 장착 형식의 메모리 칩 패키지에 대해서는 직렬 저항 R_s 를 삽입하지 않더라도 문제가 없다. 단지, 이러한 메모리 칩 패키지에 있어서는, 내부의 메모리 칩을 축소 기술에 의해 축소했을 때에는 스텔브 길이가 길어지게 되어, 직렬 저항 R_s 를 삽입할 필요가 있다.

도 6은 본 발명에 의한 버스 전송 시스템의 제 4 실시예를 모식적으로 나타낸다. 이 버스 전송 시스템에는 메모리와 컨트롤러가 포함되고, BGA 패키지에 탑재된 컨트롤러 칩에 대해서는 직렬 저항 Rs를 삽입하여, 수직 장착 형식의 패키지에 격납된 메모리 칩에 대해서는 직렬 저항 Rs를 삽입하지 않는다.

도 6의 버스 전송 시스템은, 종단 저항 Rt에 의해서 종단 전압 Vt에 접속된 버스(10)와, 버스(10)가 라인된 프린트판(12d)과, 프린트판(120)에 탑재되고 버스(10)에 접속되는 컨트롤러 칩(100)과 복수의 메모리 칩(110)을 포함한다. 컨트롤러 칩(100)은 보드(102)상에 탑재되고, 본딩 와이어(101) 및 리드(103)를 통해 볼전극(104)에 접속된다. 볼전극(104)은 저항 Rs를 통해 버스(10)에 접속된다. 버스(10)는 당연히 복수의 라인으로 이루어지며, 볼전극(104) 및 직렬 저항 Rs는 버스(10)의 라인의 개수만큼 존재하지만, 도면이 보기 쉬운 것을 고려하여 1개의 버스 라인에 대한 것만 나타낸다.

복수의 메모리 칩(111)의 각각은, 메모리 패키지(110)에 격납되고, 출력 핀(112)을 통해 버스(10)에 접속된다. 출력 핀(112)은 짧기 때문에 직렬 저항 Rs를 삽입하지 않더라도 심한 링잉은 발생하지 않는다.

이와 같이 BGA 패키지나 PGA 패키지등의 긴 스테브를 필요로 하는 패키지에 격납된 칩에 대해서는 직렬 저항 Rs를 삽입해 두면, 수직 장착 방식의 메모리 칩등의 짧은 스테브 길이로 끝날 경우에는 직렬 저항 Rs를 삽입하지 않아도, 버스 전송 시스템 전체에 있어서 심한 링잉의 발생없이 안정된 시스템 동작을 실현할 수 있다.

도 7은 본 발명에 의한 반도체 장치 모듈을 나타낸다. 본 발명에 의한 반도체 장치 모듈은, 프린트 기판측면의 전극과 플린트 기판상에 탑재된 칩간의 라인(스테브에 상당)에 직렬 저항 Rs를 삽입하는 것이다. 도 7에 있어서는, 예컨대 DIMM을 상정하고 있으며, 버스(10)에 DIMM(130)이 장착된다. DIMM(130)은 프린트 기판(131), 플린트 기판상에 탑재된 메모리 칩(132 및 133), 버스 접속용 전극(140), 전극(140)과 메모리 칩(132 및 133)을 접속하는 라인(141) 및 라인(141)에 삽입된 직렬 저항 Rs를 포함한다. 직렬 저항 Rs가 삽입되어 있기 때문에 링잉 및 칩에 있어서의 전력 소비를 억제할 수 있다.

도 7에 도시된 바와 같이, 직렬 저항이 삽입된 DIMM 혹은 SIMM 등의 반도체 장치 모듈에 있어서는, 프린트 기판에 탑재되는 칩의 크기 변경에 의해 라인(141)의 길이가 변동하여도 신호 전달 특성은 변경하지 않는다. 따라서, 축소 기술에 의해 보다 작은 칩을 제조가 가능하게 되면, 제조자는 비용을 절감할 수 있다.

또 본 발명은 상술의 실시예에 한정되는 일없이, 특허청구의 범위를 일탈하지 않는 일없이, 다양한 변형 및 개량을 할 수 있다.

발명의 효과

청구범위 제 1 항 내지 3 항, 5 항 내지 10 항, 16 항 및 17 항의 발명에 있어서는, 버스로부터 분기하는 라인에 저항을 직렬로 삽입하여 분기 라인과 버스와의 사이의 임피던스 정합을 취함으로써, 분기 라인과 버스와의 사이의 분기점에서의 신호 반사를 억제할 수 있다. 따라서 드라이버의 턴오프에 따른 심한 링잉 파형의 발생을 억제할 수 있기 때문에, 고속이고 안정된 신호 전송을 할 수 있다. 또한 직렬 저항 삽입에 의해, 드라이버 트랜지스터에 있어서의 전력 소비를 삭감할 수 있다.

청구범위 제 4 항 발명에 있어서는, 종단 전압으로서 약 2.5V의 전압을 이용함으로써, 오픈드레인형의 드라이버 트랜지스터 및 종단 저항을 이용한 신호 전송 시스템에 있어서, 디바이스 전환시의 중간 전위 상태를 없앨 수 있다. 또한 직렬 저항 삽입에 의해, 드라이버 트랜지스터에 있어서의 전력 소비를 삭감할 수 있다.

청구범위 제 11 항 내지 13 항의 발명에 있어서는, 전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서, 레벨시프트 혹은 전류 전압 변환을 행함으로써, 신호 전압과 참조 기준 전압과의 대소 관계에 따라서 신호 전압을 하이레벨 혹은 로우레벨의 신호로서 검출할 수 있다.

청구범위 제 14 항 및 15 항 발명에 있어서는, 접지 전위의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서, 레벨시프트 혹은 전류 전압 변환을 행함으로써, 신호 전압과 참조 기준 전압과의 대소 관계에 따라서 신호 전압을 하이레벨 혹은 로우레벨의 신호로서 검출할 수 있다.

(57)청구의 범위

청구항1

종단 저항을 통해 종단 전위에 접속된 신호 전송 선로와,

해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터와,

해당 오픈드레인형 트랜지스터의 드레인과 해당 신호 전송 선로를 접속하는 해당 신호 전송 선로에서 분기하는 분기 라인과,

해당 신호 전송 선로의 부근에서 해당 분기 라인에 삽입된 저항을 포함하는 것을 특징으로 하는 신호 전송 시스템.

청구항2

제 1 항에 있어서, 상기 신호 전송 선로는 특성 임피던스 Z0을 가지며, 상기 분기 라인은 특성 임피던스 Z1을 가지고, 상기 저항은 Z1 - Z0/2의 +100%에서 50%의 범위의 저항치를 갖는 것을 특징으로 하는 신호 전송 시스템.

청구항3

제 1 항 또는 제 2 항에 있어서, 상기 종단 저항은 상기 특성 임피던스 Z_0 의 +100%에서 -50%의 범위의 저항치를 갖는 것을 특징으로 하는 신호 전송 시스템.

청구항4

제 3 항에 있어서, 상기 종단 전위는 2.0V에서 2.5V인 것을 특징으로 하는 신호 전송 시스템.

청구항5

제 3 항 또는 제 4 항에 있어서, 상기 저항은 24Ω 에서 51Ω 의 범위의 저항치를 갖는 것을 특징으로 하는 신호 전송 시스템.

청구항6

종단 저항을 통해 종단 전위에 접속된 신호 전송 선로에 접속되는 반도체 장치 모듈에 있어서,
 기판과, 해당 기판에 배치되고 해당 신호 전송 선로에 접속되는 전극과, 해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터를 구비하며, 기판상에 탑재되는 반도체 장치와,
 해당 반도체 장치의 해당 오픈드레인형 트랜지스터의 드레인과 해당 전극을 접속하는 접속 라인과,
 해당 접속 라인에 해당 신호 전송 선로의 부근에서 삽입된 저항을 포함하는 것을 특징으로 하는 반도체 장치 모듈.

청구항7

제 6 항에 있어서, 상기 신호 전송 선로의 특성 임피던스를 Z_0 로 하고, 상기 접속 라인은 특성임피던스 Z_1 을 가지며, 상기 저항은 $Z_1 - Z_0/2$ 의 +100%에서 50%의 범위의 저항치를 갖는 것을 특징으로 하는 반도체 장치 모듈.

청구항8

제 7 항에 있어서, 상기 저항은 24Ω 에서 51Ω 의 범위의 저항치를 갖는 것을 특징으로 하는 반도체 장치 모듈.

청구항9

종단 저항을 통해 종단 전위에 접속된 버스와,
 소정 길이보다 긴 제 1 분기 라인을 통해 해당 버스에 접속되는 제 1 칩과,
 소정 길이보다 짧은 제 2 분기 라인을 통해 해당 버스에 접속되는 제 2 칩과,
 해당 버스의 부근에서 해당 제 1 분기 라인에 삽입된 저항을 포함하며, 상기 제 2 분기 라인에는 상기 저항이 삽입되어 있지 않은 것을 특징으로 하는 신호 전송 시스템.

청구항10

제 9 항에 있어서, 상기 제 1 칩은 PGA 패키지 혹은 BGA 패키지에 격납된 메모리 컨트롤러이고, 상기 제 2 칩은 상기 버스가 라인된 보드에 수직으로 장착되는 메모리 칩인 것을 특징으로 하는 신호 전송 시스템.

청구항11

전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서,
 해당 신호 전압과 참조 기준 전압과의 전압 레벨을 시프트하는 레벨 시프트 회로와,
 해당 레벨 시프트 회로의 전압 레벨 시프트 후의 목표 전압을 설정하는 목표 전압 설정 회로와,
 해당 레벨 시프트 회로에서 전압 레벨이 시프트된 해당 신호와 해당 참조 기준 전압과의 차를 증폭하는 차동 증폭 회로를 포함하는 것을 특징으로 하는 입력 버퍼 회로.

청구항12

전원 전압의 부근에 신호 변동의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서,
 해당 신호 전압과 참조 기준 전압과의 전압차를 검출하는 차동 증폭 회로와,
 해당 차동 증폭 회로에 흐르는 해당 전압차에 대응한 전류를 수취하며, 해당전류를 전압으로 변환하는 전류 전압 변환 회로를 포함하는 것을 특징으로 하는 입력 버퍼 회로.

청구항13

제 12 항에 있어서, 상기 차동 증폭 회로에 흐르는 상기 전류를 복제하여 상기 전류 전압 변환 회로에 제공하는 커런트미러 회로를 추가로 포함하는 것을 특징으로 하는 입력 버퍼 회로.

침구항14

전원 전압과 접지 전위와의 사이에서 소정의 비율 이상으로 해당 접지 전위에 가까운 전압에 신호 변형의 중심을 갖는 신호 전압을 수취하는 입력 버퍼 회로에 있어서,

해당 신호 전압과 참조 기준 전압과의 전압차를 검출하는 차동 증폭 회로와,

해당 차등 증폭 회로에 흐르는 해당 전압차에 대응한 전류를 수취하여, 해당 전류를 전압으로 변환하는 전류-전압 변환 회로를 포함하는 것을 특징으로 하는 입력 버퍼 회로.

청구항15

제 14 항에 있어서, 상기 차동 증폭 회로에 흐르는 상기 전류를 복제하여 상기 전류 전압 변환 회로에 제공하는 커런트미러 회로를 추가로 포함하는 것을 특징으로 하는 입력 버퍼 회로.

첨구항16

종단 저항을 통해 종단 전위에 접속된 신호 전송 선로에 접속되는 반도체 장치로서,

해당 신호 전송 선로에 접속되는 전극과,

해당 신호 전송 선로에 신호를 출력하는 오픈드레인형 트랜지스터와,

해당 오픈드레인형 트랜지스터의 드레인과 해당 전극을 접속하는 접속 라인과,

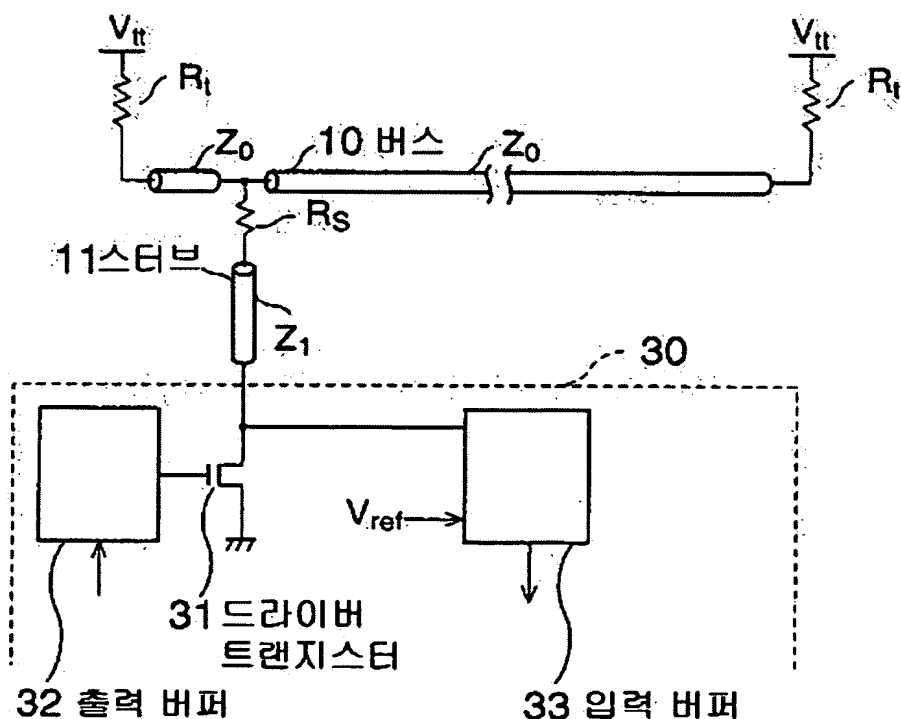
해당 접속 라인에 해당 신호 전송 선로의 부근에서 삽입된 저항을 포함하는 것을 특징으로 하는 반도체 장치.

청구항17

제 16 항에 있어서, 상기 신호 전송 선로의 특성 임피던스를 Z0로 하고, 상기 전송 라인에 특성 임피던스 Z1을 가지며, 상기 저항은 $Z1 - Z0/2$ 의 +100%에서 50%의 범위의 저항치를 갖는 것을 특징으로 하는 반도체 장치.

도면

도연:

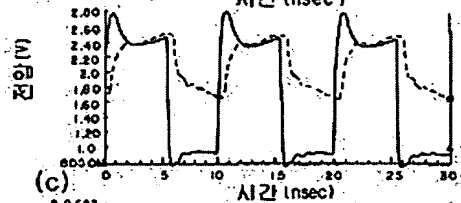


도면2

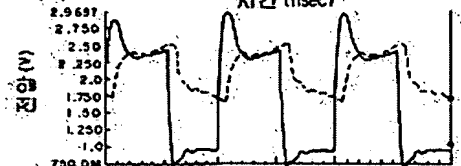
(a)



(b)



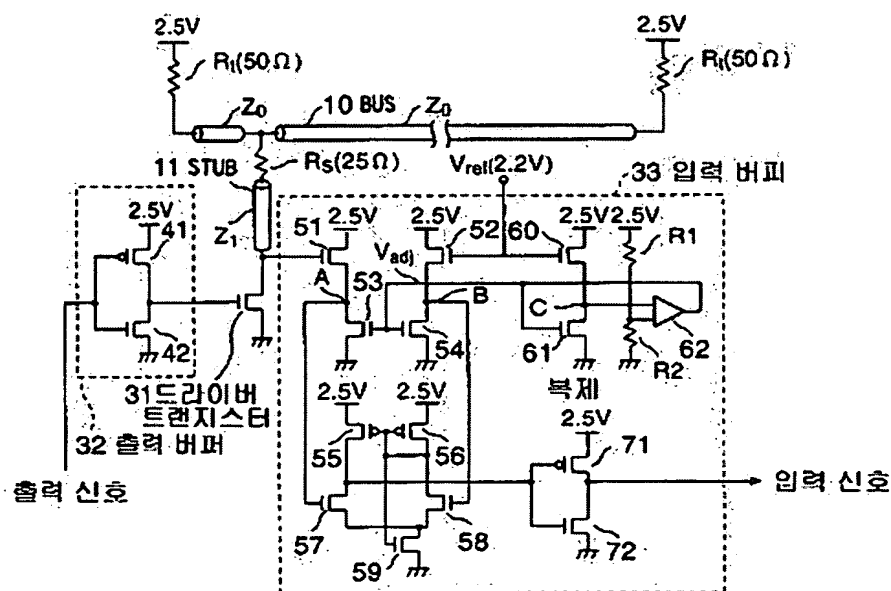
(c)



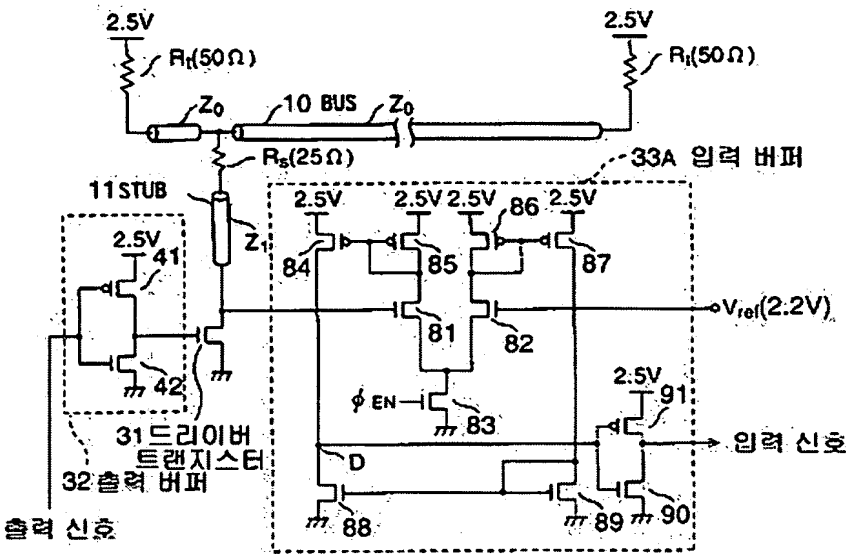
(d)



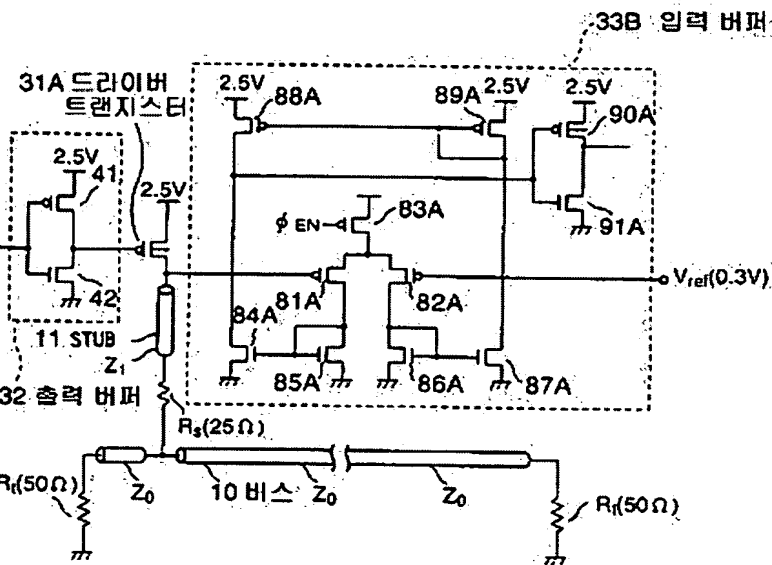
도면3



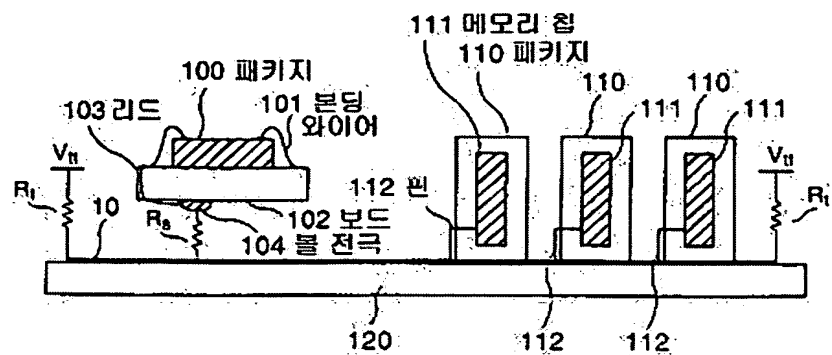
도면4



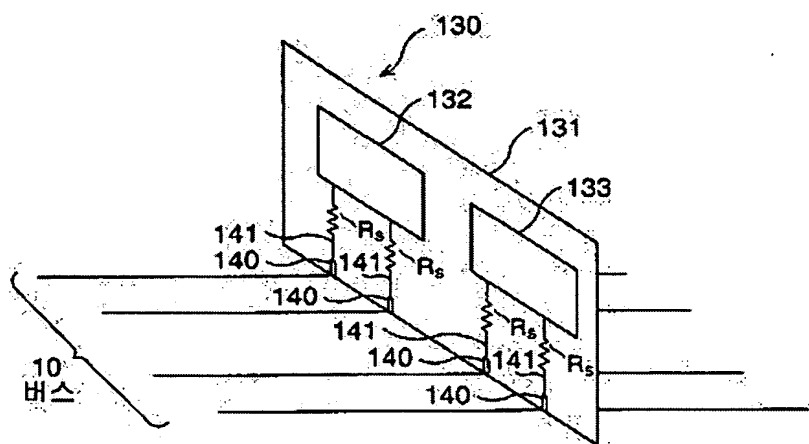
도면5



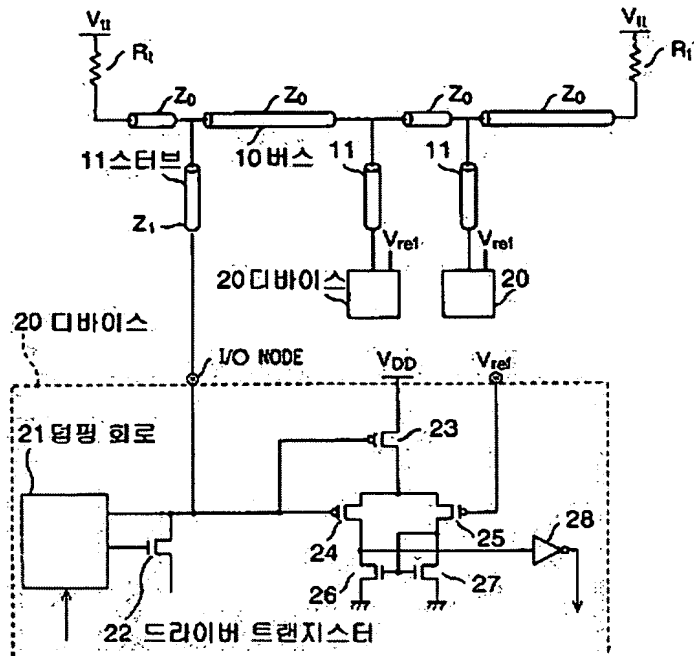
도면6



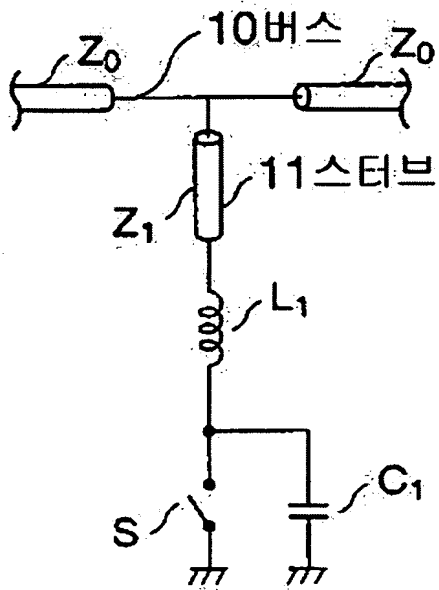
도면 7



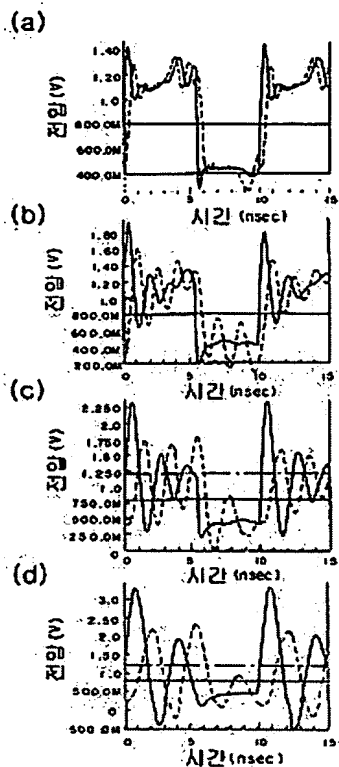
도면 8



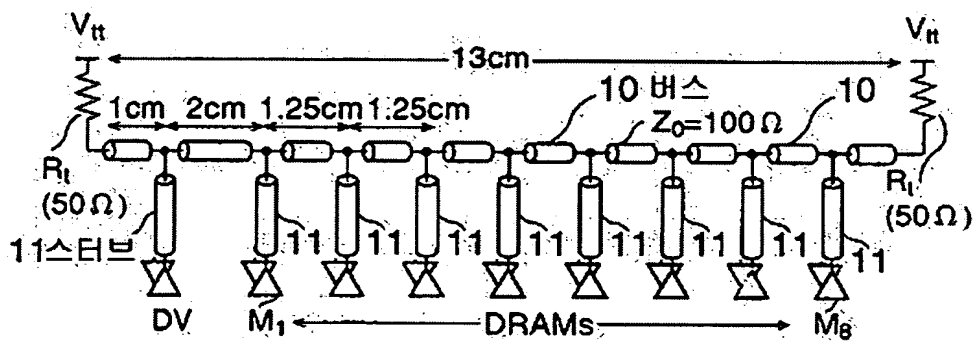
도면 8



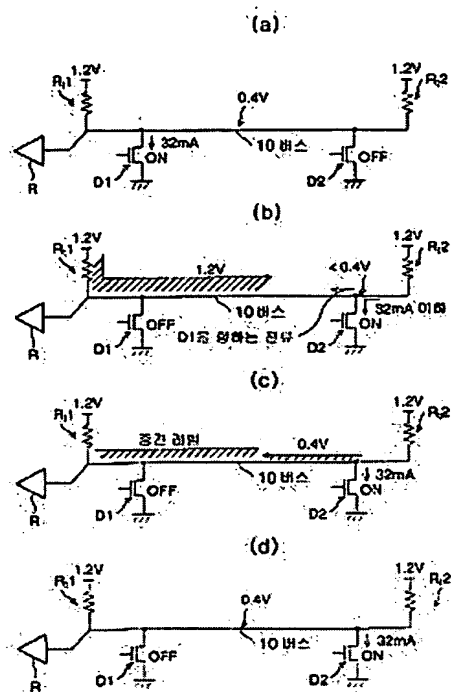
도면 10



도면 11



도면 12



도면 13

